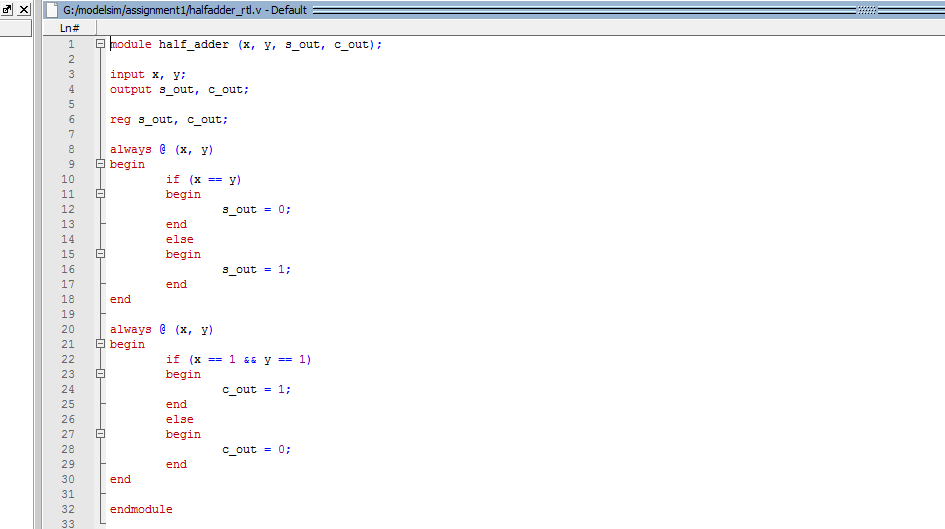
**논리설계 과제1**

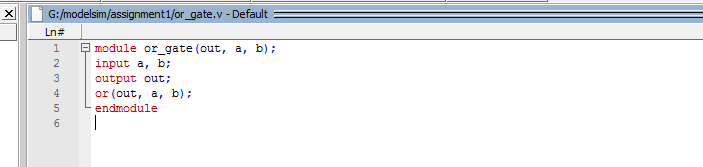
2017320122 김정규

1. halfadder\_rtl.v



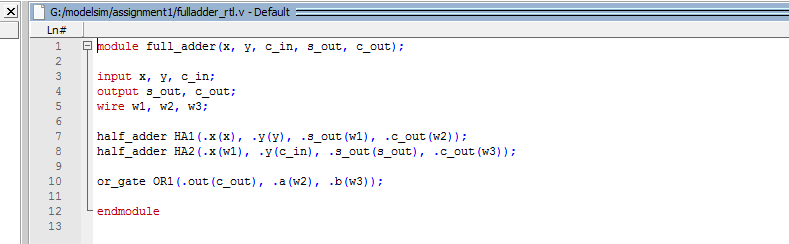
반가산기로서 always와 if문을 통해 각각의 input에 따른 output을 도출한다.

1. or\_gate.v



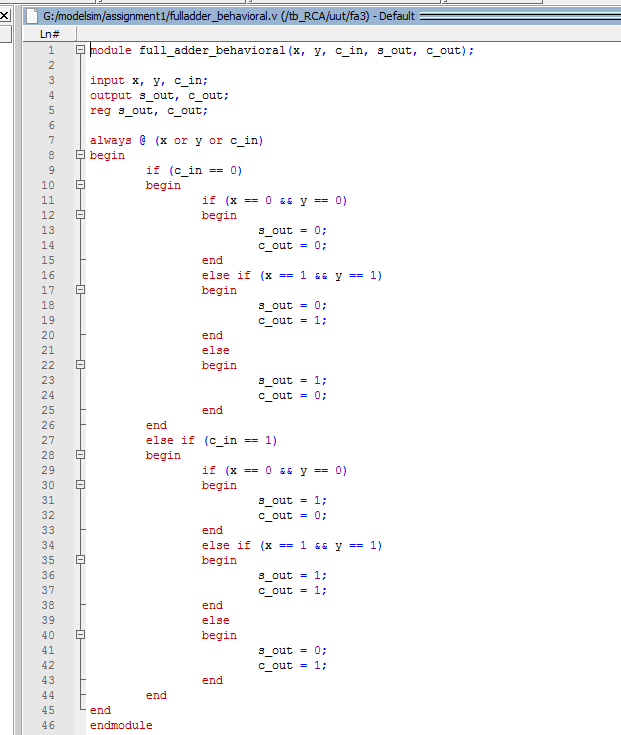
Input 값을 이용하여 OR 연산을 수행하는 Gate

1. fulladder\_rtl.v



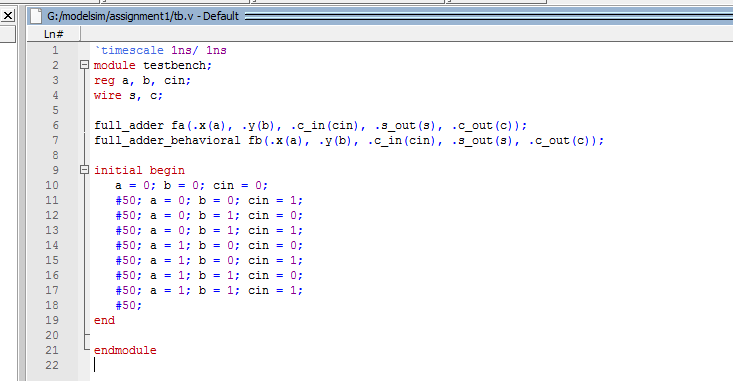
RTL model의 전가산기로서 앞서 형성한 반가산기와 OR Gate를 이용하여 가산 작업을 수행한다.

1. fulladder\_behavioral.v



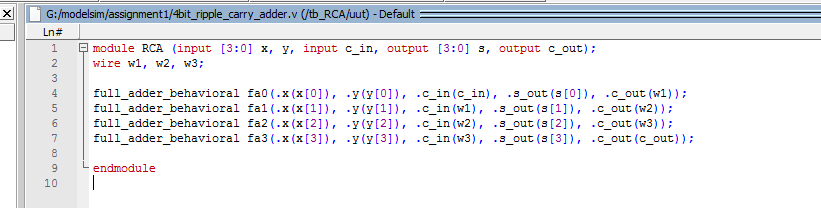
앞의 RTL model의 전가산기와 달리 behavioral한 방식을 취한 전가산기이다.

1. tb.v



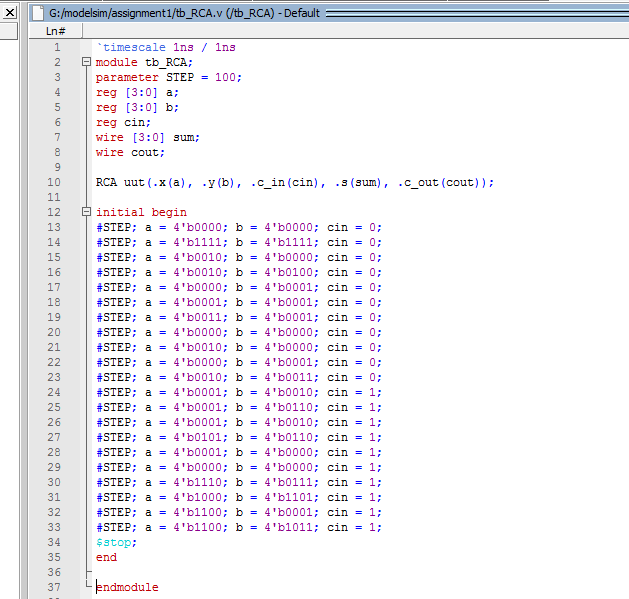
전가산기의 Test bench로서 full\_adder fa()는 RTL model의 전가산기, full\_adder\_behavioral fb()는 behavioral한 전가산기의 작업을 실행시키며 테스트한다.

1. 4bit\_ripple\_carry\_adder.v



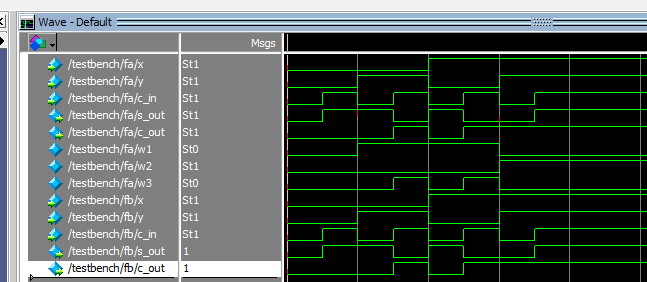
앞서 만든 behavioral full adder를 이어 붙여 만든 이진 연산회로로서 각 가산기에서 얻어진 결과를 다음 가산기에 지속적으로 전달하여 연산을 수행한다.

1. tb\_RCA.v



4 bit ripple carry adder의 Test bench로서 여러 값들을 대입하고 연산작업을 수행함으로써 이진 연산회로를 테스트한다.

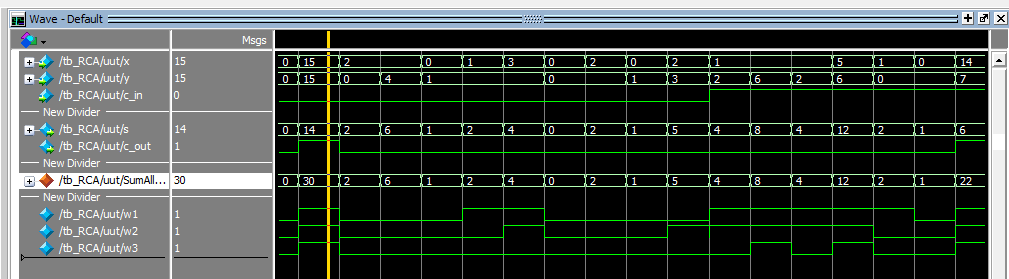
**전가산기의 테스트 결과**



fa = RTL modeling

fb = Behavioral modeling

**이진 연산회로(RCA)의 테스트 결과**



x, y, c\_in = input

SumAll = 연산결과